

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平8-55919

(43) 公開日 平成8年(1996)2月27日

(51) Int. Cl. ⁵	識別記号	庁内整理番号	F I	技術表示箇所
H 0 1 L 21/8247				
29/788				
29/792				
		7735-4M	H 0 1 L 29/ 78	3 7 1
			27/ 10	6 5 1
			審査請求 未請求 請求項の数 8	O L (全 8 頁) 最終頁に続く

(21) 出願番号 特願平6-190409

(22) 出願日 平成6年(1994)8月12日

(71) 出願人 000005049

シャープ株式会社

大阪府大阪市阿倍野区長池町22番22号

(72) 発明者 荻本 泰史

大阪府大阪市阿倍野区長池町22番22号 シャープ株式会社内

(72) 発明者 長田 昌也

大阪府大阪市阿倍野区長池町22番22号 シャープ株式会社内

(74) 代理人 弁理士 川口 義雄 (外1名)

(54) 【発明の名称】 強誘電体記憶素子

(57) 【要約】 (修正有)

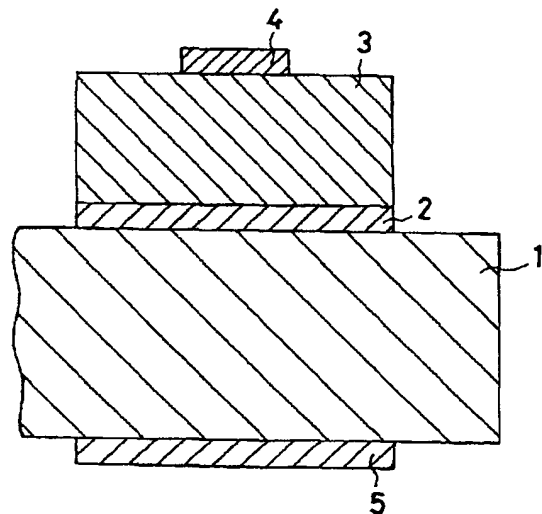
【目的】 フッ化物系強誘電体を使用する構造的に安定な強誘電体記憶素子の提供。

【構成】 強誘電体記憶素子において、
BaMF_x、[但し、MはMg、Zn、Mn、Fe、Co及びNiからなる元素]で表されるフッ化物系強誘電体3と半導体単結晶基板1の間にバッファ層2を形成し、
バッファ層2としては

(A_xB_{1-x})F₂ (0 ≤ x ≤ 1) [但し、A及びBはそれぞれCa、Sr、Ba及びMgからなるアルカリ土類金属群の元素]で表されるフッ化物絶縁体層か、

(A_xB_{1-x})F₂ / (C_yD_{1-y})F₂ (0 ≤ x ≤ 1) (0 ≤ y ≤ 1)

[但し、A、B、C及びDはそれぞれCa、Sr、Ba及びMgからなるアルカリ土類金属群の元素]で表される2層からなるフッ化物絶縁体層を用いる。また、
AF₃、[但し、AはLa、Nd、Ce及びErからなる稀土類金属群から選択される元素]で表されるフッ化物絶縁体層も、配向性バッファ層として用いられる。



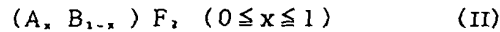
【特許請求の範囲】

【請求項1】 下記式(I)



【但し、MはMg、Zn、Mn、Fe、Co及びNiからなる群から選択される元素】で表されるフッ化物系強誘電体と半導体単結晶基板の間にバッファ層を形成してなることを特徴とする強誘電体記憶素子。

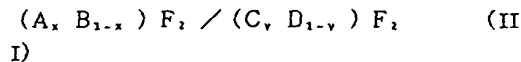
【請求項2】 バッファ層が下記式(II)



【但し、A及びBはそれぞれCa、Sr、Ba及びMgからなるアルカリ土類金属群から選択される元素】で表されるフッ化物絶縁体層であることを特徴とする請求項1に記載の強誘電体記憶素子。

【請求項3】 フッ化物絶縁体層が BaF_2 からなることを特徴とする請求項2に記載の強誘電体記憶素子。

【請求項4】 バッファ層が下記式(III)



($0 \leq x \leq 1, 0 \leq y \leq 1$)

【但し、A、B、C及びDはそれぞれCa、Sr、Ba及びMgからなるアルカリ土類金属群から選択される元素】で表される2層からなるフッ化物絶縁体層であることを特徴とする請求項1に記載の強誘電体記憶素子。

【請求項5】 フッ化物絶縁体層が $\text{BaF}_2 / \text{CaF}_2$ からなることを特徴とする請求項4に記載の強誘電体記憶素子。

【請求項6】 バッファ層が下記式(IV)



【但し、AはLa、Nd、Ce及びErからなる稀土類金属群から選択される元素】で表されるフッ化物絶縁体層であることを特徴とする請求項1に記載の強誘電体記憶素子。

【請求項7】 フッ化物絶縁体層が LaF_3 であることを特徴とする請求項6に記載の強誘電体記憶素子。

【請求項8】 半導体単結晶基板がシリコンであることを特徴とする請求項1に記載の強誘電体記憶素子。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は強誘電体記憶素子に関する。更に詳しくは強誘電体薄膜の自発分極による静電誘導を介して不純物ドーパ領域中のキャリアの移動量を変化させる強誘電体記憶素子に関する。

【0002】

【従来の技術】従来、コンピュータなどに利用される不揮発性の半導体記憶素子としては、ROM(Read Only Memory)、PROM(Programmable ROM)、EPROM(Erasable PROM)EEPROM(Electrically Erasable PROM)などがあり、特にEEPROMは電氣的に記憶内容を書き換えることができるので有視されてい

lator Semiconductor)電界効果型トランジスタのゲート絶縁膜中のトラップ領域あるいはフローティングゲートを、シリコン基板からの電荷注入によって帯電させ、その静電誘導によって基板の表面伝導度を変調する方法が知られている。しかしながら、電子のトンネル効果を利用した素子においては、シリコン基板からの電荷注入の際に大きな電界が必要であったり、 SiO_2 絶縁膜中にトラップが発生して書換回数が制限されるという問題があった。

【0003】一方、EEPROMとは全く異なった方法の不揮発性メモリとして、強誘電体薄膜の自発分極を利用した方法も考えられている。この強誘電体薄膜を利用した方法には2通りの構造があり、それぞれ、キャパシタ構造、MFS(Metal Ferroelectric Semiconductor)-FET(Field Effect Transistor)構造と呼ばれている。キャパシタ構造は、強誘電体薄膜を電極で挟んだ構造をしており、強誘電体薄膜の自発分極の分極反転による反転電流の有無を検出してメモリ内容の読み出しをするものである。キャパシタ構造では読み出し時に蓄積されたメモリ内容を破壊してしまうので読み出し後にもう一度メモリ内容を書き直すという動作(リライト動作)を行わなければならないという欠点があるが、白金電極などの上に強誘電体薄膜を形成するため、比較的良質の膜が得られ易く、現在、製品化に向けて精力的に開発が進められている。このキャパシタ構造には例えば、PZT(チタン酸ジルコン酸鉛)、 PbTiO_3 、(チタン酸鉛)、 BaTiO_3 、(チタン酸バリウム)、 $\text{Bi}_2\text{Ti}_2\text{O}_7$ 、(チタン酸ビスマス)などのいわゆる酸化物ペロブスカイトあるいは酸化層状ペロブスカイト強誘電体が検討されている。この理由は、酸化物ペロブスカイト強誘電体は自発分極の値が大きく抗電界が小さいため、LSIで用いられる動作電圧で分極反転が十分可能であり、メモリ内容の判別に十分な信号量が確保できるからである。

【0004】一方、MFS-FET構造は、MIS-FETのゲート絶縁膜を強誘電体薄膜としたもので、強誘電体薄膜の自発分極の向き、大きさに応じてその自発分極を補償するように半導体表面に誘起される電荷によって半導体表面の伝導度を変調されることを利用してメモリ内容の読み出しをするものである。MFS-FET構造では読み出し時にメモリ内容を破壊しない非破壊読み出しが可能であるばかりか、現在高集積化が進むDRAMなどのトランジスタ1個及びキャパシタ1個で構成されるメモリ素子が直面しているスケールアップ(scaling law)の問題を回避することが可能であり、今後更に1ギガビット(Gbit)以上の高集積化が進展すると予想されるメモリ素子として優れた可能性を有していると考えられている。

【0005】

【発明が解決しようとする課題】ところが、このMFS

-FET構造で安定な素子を作製するには次のような困難がある。

【0006】(1) 半導体に直接強誘電体薄膜を形成するため、界面準位密度が大きくなる。

【0007】(2) 強誘電体薄膜を形成するプロセス中に、半導体表面に酸化膜が形成されるため、強誘電体薄膜の結晶性、表面形態(表面モフォロジー: morphology)が劣化し、強誘電特性が損なわれる。

【0008】(3) 強誘電体が高い比誘電率(200~1000)を有するために、酸化シリコンなどの低誘電率層が形成された場合、強誘電体キャパシタ部分にかかる実効的な電圧が非常に小さくなる。

【0009】(4) 強誘電体キャパシタ部分にかかる電圧を大きくすると、酸化シリコンなどの低誘電率層が形成するキャパシタに大きな電圧がかかり、絶縁破壊が発生する。

【0010】(5) 強誘電体キャパシタ部分にかかる電圧を大きくすると動作電圧が大きくなる。

【0011】これら(2)~(5)の問題は、酸化シリコンの形成をさけ、比誘電率(ϵ_r)の小さな($\epsilon_r < 10$)強誘電体を用いることで回避できると考えられる。すなわち、非酸化物強誘電体で、比誘電率の小さい強誘電体を採用すればよい。

【0012】このような理由から、フッ化物系強誘電体であるBaMF₄(M=Mg, Zn, Mn, Fe, Co, Ni)がMFS-FET用材料として有望である(BaMF₄の比誘電率は、 $\epsilon_r < 10$ である)。しかし、BaMF₄強誘電体をシリコン(Si)上に、特にメモリ素子として用いられるSi(100)単結晶基板上に形成する際に次のような問題があることがわかってきている。

【0013】(6) Si(100)基板上に、BaMF₄強誘電体薄膜の分極方向の配向が得られない。

【0014】(7) BaMF₄強誘電体の熱膨張率が20 ppm/°Cとシリコンの熱膨張率(約3 ppm/°C)に比べて大きいために、熱ひずみによるストレスがたまり、クラックが発生する。

【0015】BaMF₄の分極軸は[100]であり、結晶系は斜方晶系である。ところが、Si(100)基板上にエピタキシャル成長させた場合(011)配向となるため、分極方向が膜面に対して大きく傾くことになり、利用できる分極電荷密度が小さくなるため、半導体表面の伝導度を変調することが難しくなる。また、Si(100)基板上に自然配向したBaMF₄膜はb軸配向を示すため、同様な問題がある。更に、熱ひずみによるクラックが発生し易く薄膜の作製条件が難しいという問題がある。

【0016】本発明は上記の課題に鑑みてなされたものであり、フッ化物系強誘電体を使用する構造的に安定な強誘電体記憶素子を提供することを目的としている。

【0017】

【課題を解決するための手段】本発明では、上記目的を達成するために、強誘電体記憶素子において、下記式(I)

BaMF₄ (I)

【但し、MはMg, Zn, Mn, Fe, Co及びNiからなる群から選択される元素】で表されるフッ化物系強誘電体と半導体単結晶基板の間にバッファ層を形成した。

【0018】フッ化物系強誘電体としては、上記式

(I)に挙げた材料があるが、中でも、共に構成元素がアルカリ土類金属元素であるBaMgF₄、また、自発分極値が最も大きいBaZnF₄を使用することが望ましい。

【0019】半導体基板としては、Si(100)又はSi(111)が好適に使用される。

【0020】また、バッファ層としては下記式(II)(A_xB_{1-x})F₂ (0 ≤ x ≤ 1) (II)

【但し、A及びBはそれぞれCa, Sr, Ba及びMgからなるアルカリ土類金属群から選択される元素】で表されるフッ化物絶縁体層であるか、あるいは、下記式(III)

(A_xB_{1-x})F₂ / (C_yD_{1-y})F₂ (II I) (0 ≤ x ≤ 1, 0 ≤ y ≤ 1)

【但し、A, B, C及びDはそれぞれCa, Sr, Ba及びMgからなるアルカリ土類金属群から選択される元素】で表される2層からなるフッ化物絶縁体層を用いる。

【0021】式(III)で、「/」は積層構造を表しており、「/」の右側が基板側で、左側が強誘電体膜側となる。すなわち、構造としては、強誘電体膜/(A_xB_{1-x})F₂ / (C_yD_{1-y})F₂ / 基板となる。

【0022】この場合、フッ化物絶縁体層と基板との間の格子定数のマッチングを勘案して層形成を行うことが望ましく、その結果格子定数のミスマッチによる歪を緩和することが可能となり、上部の強誘電体膜は良好な表面形態(表面モフォロジー)を有することを実現できる。

【0023】例えば、Si(100)と最も格子定数のマッチングが良いのはCaF₂であり、CaF₂ → SrF₂ → BaF₂と言う順に格子定数のマッチングは離れていく。したがって、基板側から見て、CaF₂ → SrF₂ → BaF₂の順に2層バッファ層を形成することにより格子定数のミスマッチによる歪を緩和することが可能となる。

【0024】更に、バッファ層と接する強誘電体膜からの、膜中成分元素の拡散などを考えた場合、膜と接するバッファ層は強誘電体膜の構成元素からなることが望ましい。

【0025】2層からなるフッ化物絶縁体層の例を次に示す。

【0026】 BaF_2 / CaF_2 、 $BaF_2 / (Sr_x Ca_{1-x})F_2$ 、 $(Ba_x Sr_{1-x})F_2 / CaF_2$ 、 $(Ba_x Sr_{1-x})F_2 / (Sr_x Ca_{1-x})F_2$ 、 $MgF_2 / (Ba_x Ca_{1-x})F_2$ 、

また、下記式 (IV)

AF_3 (IV)

【但し、AはLa、Nd、Ce及びErからなる稀土類金属群から選択される元素】で表されるフッ化物絶縁体層も配向性バッファ層として用いることが可能である。特に、Si (111) 基板に対しては、このフッ化物絶縁体層の使用は好適である。

【0027】

【作用】本発明の強誘電体記憶素子は、フッ化物系強誘電体と半導体単結晶基板の間にフッ化物絶縁体のバッファ層を形成することにより、熱ひずみによるストレスを緩和し、クラックの発生を防ぎ、緻密な強誘電体膜を形成することが可能になる。なおかつ、バッファ層を用いることにより、強誘電体薄膜の配向をa軸配向、あるいはランダム配向に制御し、半導体表面の伝導度を変調するのに十分な分極電荷密度を得ることが可能となる。

【0028】上記式 (III) で表される2層からなるフッ化物絶縁体層を用いることにより、強誘電体薄膜とシリコン基板との間の格子定数のミスマッチの影響を緩和することができ、かつまた、強誘電体薄膜の配向方向を制御することができる。

【0029】また、通常 Si (100) 上に直接 BaF_2 、や SrF_2 を成膜した場合、多結晶膜が得られるが、Si との間に CaF_2 を挿入することで BaF_2 、や SrF_2 のバッファ自体の結晶性を向上させることができる。

【0030】

【実施例】

実施例1

本発明であるフッ化物強誘電体 $BaMgF_2$ 、及びフッ化物バッファ層 BaF_2 を用いた MFIS (Metal Ferroelectric Insulator Semiconductor) 構造、いわゆるバラクタ (varactor) 構造の製造例及びこの構造を調べた例を図1及び図2に従い説明する。

【0031】p型で抵抗率が $50\Omega\text{cm}$ の単結晶 Si (100) 基板1を、BHF (緩衝フッ素酸溶液) により処理し、表面の自然酸化膜を除去した。その後、この基板をできるだけ速やかにEB蒸着装置の真空チャンバー内基板ホルダーに装着し、真空排気を開始する。 $1 \times 10^{-4} \text{ Pa}$ 以下の真空度に到達した後、基板加熱を開始した。基板温度は 600°C とした。蒸着源に BaF_2 (純度4N-グラニュール) 及び MgF_2 (純度4N-グラニュール) を用いてそれぞれ2元独立に制御を行なうことにより、再現性良く $BaMgF_2$ 膜を作製することが可能である。

【0032】まずバッファ層2として BaF_2 を 10nm

の膜厚に作製した。蒸着速度は 2Å/sec である。その後、強誘電体膜3として、同一真空中で BaF_2 と MgF_2 を、それぞれ蒸着速度を 1.8Å/sec 、 1.0Å/sec で同時に蒸着することで膜厚 140nm の $BaMgF_2$ を作製した。それぞれの蒸着速度は、 BaF_2 と MgF_2 の供給モル比が1:1となるように設定している。その後室温まで放冷した後取り出して、膜の表面形態 (モフォロジー) と配向性を調べた。

【0033】走査型電子顕微鏡により膜表面を観察したところ、従来、シリコン基板上に直接 $BaMgF_2$ を形成した場合にはクラックが発生していたにもかかわらず、 BaF_2 層を介して成膜した $BaMgF_2$ 膜は緻密な形態であることがわかった。これは BaF_2 層によって、シリコン基板と $BaMgF_2$ 間の大きな熱膨張係数の差に起因するストレスを緩和することが実現されたからにほかならない。

【0034】また、X線回折法 (XRD) により強誘電体膜の配向性を調べたところ、従来、Si (100) 上ではb軸優先配向を示す回折パターンが得られていたにもかかわらず、 BaF_2 層を介して成膜した $BaMgF_2$ 膜はランダム配向の膜が得られた。これは、 BaF_2 層がシリコン基板とは異なる配向パターンを得ることを可能にする下地として有効であることを示している。この、ランダム配向膜によって、半導体表面の伝導度を変調するのに十分な分極電荷密度が得られると期待される。

【0035】このようにして作製した膜に、膜厚 100nm のアルミニウムを蒸着し、 $100\mu\text{m}$ 角の上部電極4を形成し、基板1の裏面に電極5を配置することで図1に示す概略断面を有する MFIS 構造を作製した。この MFIS 構造において C-V 特性を測定し、誘電率 ϵ 、誘電損失 $\tan\delta$ 、しきい値電圧のシフト ΔV_{th} をそれぞれ求めた。

【0036】測定は、振幅 10mVrms 、 1MHz の正弦波に DC バイアスを -2.5 から 2.5V まで印加して、行った。バイアスの掃引は $\Delta V = 0.1\text{V}$ 、 $\Delta t = 100\text{msec}$ の条件とした。初めに、ゲートに -5V の電圧を印加し、十分に蓄積層が形成されている状態で、誘電率、誘電損失を測定したところ $\epsilon = 7.7$ 、 $\tan\delta = 0.01$ 、という値が得られた。次に、上記の測定条件の下で C-V 測定を行ったところ、強誘電体の分極による D-E ヒステリシスループに対応する C-V ヒステリシスループが観測された。測定バイアス $= \pm 2.5\text{V}$ のとき、この C-V ヒステリシスからしきい値電圧のシフトを求めると $\Delta V_{th} = 1.6\text{V}$ であった (図2)。

【0037】このようにフッ化物強誘電体 $BaMgF_2$ 、及びフッ化物バッファ層 BaF_2 を用いることで、熱ひずみによるストレスを緩和し、クラックの発生を防ぎ、緻密な強誘電体膜を形成することが可能となる。また、多結晶 BaF_2 膜をバッファ層として用いることにより強誘電体薄膜の配向をランダム配向にし、半導体表面の

伝導度を変調するのに十分な分極電荷密度を得ることが可能となる。そして、バッファ層として良好な界面を形成するフッ化物絶縁体膜を用いたことで、良好なC-V特性を得られた。なおかつ、強誘電体層、バッファ層共に誘電率が小さいため、低電圧でMFIS構造での動作を可能とした。

【0038】本実施例はEB蒸着法による作製例であるが、成膜方法としては、蒸着法を更に高度に発展させたMBE法であっても勿論構わない。また、スパッタ法やレーザーアブレーション法などその他の物理的成膜方法や、MOCVD法や、ゾルゲル法などに代表される化学的成膜方法であってもよい。

【0039】実施例2

本発明であるフッ化物強誘電体BaMgF₂、及びフッ化物バッファ層(Ba_xCa_{1-x})F₂を用いたMFIS構造の製造例及びこの構造を調べた一実施例を説明する。

【0040】Si(100)基板を用い、基板の調製は実施例1と同様な手順で行った。蒸着源にBaF₂、(純度4N-グラニュール)、CaF₂、(純度4N-グラニュール)、MgF₂、(純度4N-グラニュール)を用いてそれぞれ2元独立に制御を行なうことにより、(Ba_xCa_{1-x})F₂膜及びBaMgF₂膜を作製した。基板温度は600℃とした。ここでは、BaF₂とCaF₂それぞれの蒸着速度を変えることにより、x=0.2、0.5、0.8の3種類の(Ba_xCa_{1-x})F₂バッファ膜を作製した。

【0041】まずバッファ層として(Ba_xCa_{1-x})F₂膜を20nmの膜厚に作製し、その後、強誘電体膜として同一真空中でBaF₂とMgF₂を、それぞれ蒸着速度を1.8Å/sec、1.0Å/secで同時に蒸着することで膜厚130nmのBaMgF₂を(Ba_xCa_{1-x})F₂膜上に作製した。その後室温まで放冷し、取り出して膜の表面モフォロジーと配向性を調べた。

【0042】走査型電子顕微鏡により膜表面を観察したところ、x=0.2、0.5、0.8いずれの場合も実施例1で示したBaF₂バッファ層を介して成膜したBaMgF₂膜よりも更に緻密な形態を示していた。x=0.2の場合が最も緻密であり、x=0.5、0.8の場合はそれに準ずる緻密さであった。これは、(Ba_xCa_{1-x})F₂バッファ層が、熱膨張係数の差に起因するストレスを緩和しただけではなく、更に、シリコン基板との格子定数のミスマッチが約0.6%と小さいCaF₂層との混晶になっているため、BaMgF₂-シリコン基板間の格子定数のミスマッチの影響を緩和できたことによると考えられる。

【0043】また、XRDにより強誘電体膜の配向性を調べたところ、BaF₂層を介して成膜したBaMgF₂膜と同様にランダム配向の膜が得られていた。このようにして作製した膜を用いて、実施例1で示したと同様

のMFIS構造を作製し、同様の測定条件で、C-V特性を測定し、誘電率ε、誘電損失tanδ、しきい値電圧のシフトΔV_{th}をそれぞれ求めた。

【0044】誘電率、誘電損失を測定したところ、x=0.2、0.5、0.8いずれの場合も、ε=7~8、tanδ=0.01という値が得られた。次に、上記の測定条件の下でC-V測定を行ったところ、測定バイアス=±2.5Vのとき、このC-Vヒステリシスからしきい値電圧のシフトを求めるとΔV_{th}=1.4~1.5Vであった。

【0045】このようにフッ化物強誘電体BaMgF₂、及びフッ化物バッファ層(Ba_xCa_{1-x})F₂を用いることで、熱ひずみによるストレスを緩和するだけでなく、更に、格子定数のミスマッチの影響を緩和することにより、より緻密な強誘電体膜を形成することが可能になる。

【0046】ここでは、BaF₂とCaF₂の組み合わせ(x=0.2、0.5、0.8)の場合を示したが、SrF₂やMgF₂などとの組み合わせであっても構わない。また、組成範囲は、基板温度や蒸着速度などの成膜条件によって作製しやすい範囲を選択することが可能である。

【0047】実施例3

本発明であるフッ化物強誘電体BaMgF₂、及びフッ化物バッファ層BaF₂/CaF₂を用いたMFIS構造の製造例及びこの構造を調べた一実施例を説明する。

【0048】Si(100)基板を用い、基板の調製は実施例1と同様な手順で行った。蒸着源にBaF₂、(純度4N-グラニュール)、CaF₂、(純度4N-グラニュール)を用いてそれぞれ2元独立に制御を行なうことにより、再現性良くバッファ層BaF₂/CaF₂を同一真空中で作製することが可能である。

【0049】まずバッファ層としてCaF₂を10nmの膜厚に作製した。蒸着速度は1Å/secである。その後、連続して同一真空中でバッファ層としてBaF₂を10nmの膜厚に作製した。蒸着速度は1.0Å/secである。その後、強誘電体膜として同一真空中でBaF₂とMgF₂を、それぞれ蒸着速度を1.8Å/sec、1.0Å/secで同時に蒸着することで膜厚130nmのBaMgF₂を作製した。その他の作製条件は実施例1で述べたものと同様である。

【0050】走査型電子顕微鏡により膜表面を観察したところ、BaF₂/CaF₂層を介して成膜したBaMgF₂膜は緻密な形態を示していた。これは、バッファ層により、熱膨張係数の差に起因するストレスを緩和しただけではなく、更に、シリコンとの格子定数のミスマッチが約0.6%と小さいCaF₂層をBaF₂層とシリコン基板間に用いることでBaMgF₂-シリコン基板間の格子定数のミスマッチの影響を緩和できたことによると考えられる。

【0051】また、XRDにより強誘電体膜の配向性を調べたところ、BaF₂層を介して成膜したBaMgF₂

、膜と同様にランダム配向の膜が得られたが、バッファ層として BaF_2 / CaF_2 層を用いた膜では、更に (120) ピーク強度が増加していた。これは、 CaF_2 層により BaF_2 層自体の結晶性が向上したため、その上に堆積された BaMgF_2 膜の結晶性が向上したためと考えられる。よって、半導体表面の伝導度を変調するのに用いられる分極電荷密度の増加が期待される。

【0052】このようにして作製した膜を用いて、実施例1で示したと同様のMFIS構造を作製し、同様の測定条件で、C-V特性を測定し、誘電率 ϵ 、誘電損失 $\tan\delta$ 、しきい値電圧のシフト ΔV_{th} をそれぞれ求めた。

【0053】誘電率、誘電損失を測定したところ、 $\epsilon = 7.5$ 、 $\tan\delta = 0.01$ という値が得られた。次に、上記の測定条件の下でC-V測定を行ったところ、測定バイアス $= \pm 2.5$ Vのとき、このC-Vヒステリシスからしきい値電圧のシフトを求めると $\Delta V_{th} = 1.58$ Vであった。

【0054】このようにフッ化物強誘電体 BaMgF_2 、及びフッ化物バッファ層 BaF_2 / CaF_2 を用いることで、熱ひずみによるストレスを緩和し、クラックの発生を防ぎ、緻密な強誘電体膜を形成することが可能になる。また、Si (100) 上でも単結晶膜が得られる CaF_2 層を BaF_2 層とシリコン基板間に用いて格子定数のミスマッチを緩和し、 BaF_2 膜の結晶性を向上することにより、強誘電体薄膜の結晶性を向上し、分極電荷密度の増加が実現された。

【0055】実施例4

本発明であるフッ化物強誘電体 BaMgF_2 、及び2層フッ化物バッファ層 $(\text{Ba}_x \text{Sr}_{1-x})\text{F}_2$ / $(\text{Sr}_y \text{Ca}_{1-y})\text{F}_2$ を用いたMFIS構造の製造例及びこの構造を調べた一実施例を説明する。

【0056】Si (100) 基板を用い、基板の調製は実施例1と同様な手順で行った。蒸着源に CaF_2 (純度4N-グラニュール)、 SrF_2 (純度3N-グラニュール)、 BaF_2 (純度4N-グラニュール)、 MgF_2 (純度4N-グラニュール)を用いてそれぞれ2元独立に制御を行なうことにより、バッファ層 $(\text{Ba}_x \text{Sr}_{1-x})\text{F}_2$ / $(\text{Sr}_y \text{Ca}_{1-y})\text{F}_2$ 膜及び BaMgF_2 膜を同一真空中で作製した。基板温度は600 °Cとした。ここでは、 CaF_2 と SrF_2 、 SrF_2 と BaF_2 、それぞれの蒸着速度を変えることにより、(1) BaF_2 / $(\text{Sr}_{0.1} \text{Ca}_{0.9})\text{F}_2$ ($x = 1.0$, $y = 0.1$)、(2) $(\text{Ba}_{0.9} \text{Sr}_{0.1})\text{F}_2$ / CaF_2 ($x = 0.9$, $y = 0$)、(3) $(\text{Ba}_{0.9} \text{Sr}_{0.1})\text{F}_2$ / $(\text{Sr}_{0.1} \text{Ca}_{0.9})\text{F}_2$ ($x = 0.9$, $y = 0.1$)、の3種類の $(\text{Ba}_x \text{Sr}_{1-x})\text{F}_2$ / $(\text{Sr}_y \text{Ca}_{1-y})\text{F}_2$ バッファ膜を作製した。

【0057】まず、最下層のバッファ層を10nmの膜厚に作製し、引き続き、2層目のバッファ層を同一真空中で同様に10nmの膜厚に作製した。その後、強誘電体膜として同一真空中で BaF_2 と MgF_2 を、それぞれ蒸

着速度を1.8 Å/sec、1.0 Å/sec で同時に蒸着することで膜厚 130nmの BaMgF_2 を作製した。作製条件は実施例1で述べたものと同様である。

【0058】走査型電子顕微鏡により膜表面を観察したところ、上記(1)、(2)、(3)いずれの場合も、実施例1で示した BaF_2 バッファ層を介して成膜した BaMgF_2 膜よりも更に緻密な形態を示していた。いずれの場合も、シリコン基板との格子定数のミスマッチが約 0.6%と小さい CaF_2 、あるいは $(\text{Sr}_{0.1} \text{Ca}_{0.9})\text{F}_2$ を最下層に配置し、 CaF_2 → SrF_2 → BaF_2 の順で構成されるバッファ層を用いたことで BaMgF_2 -シリコン基板間の格子定数のミスマッチの影響を緩和できたことによると考えられる。

【0059】また、XRDにより強誘電体膜の配向性を調べたところ、 BaF_2 層を介して成膜した BaMgF_2 膜と同様にランダム配向の膜が得られたが、本バッファ層を用いた膜では、更に(120)ピーク強度が増加していた。(120)ピーク強度は、(2)のバッファ構造において最も強く、次いで(1)、(3)の順であった。これは、 CaF_2 を含む最下層のバッファ層により、 BaF_2 を主とする2層目のバッファ層自体の結晶性が向上したため、その上に堆積された BaMgF_2 膜の結晶性が向上したためと考えられる。よって、半導体表面の伝導度を変調するのに用いられる分極電荷密度の増加が期待される。

【0060】このようにして作製した膜を用いて、実施例1で示したと同様のMFIS構造を作製し、同様の測定条件で、C-V特性を測定し、誘電率 ϵ 、誘電損失 $\tan\delta$ 、しきい値電圧のシフト ΔV_{th} をそれぞれ求めた。

【0061】誘電率、誘電損失を測定したところ、上記(1)、(2)、(3)いずれの場合も、 $\epsilon = 7 \sim 8$ 、 $\tan\delta = 0.01$ という値が得られた。次に、上記の測定条件の下でC-V測定を行ったところ、測定バイアス $= \pm 2.5$ Vのとき、このC-Vヒステリシスからしきい値電圧のシフトを求めると $\Delta V_{th} = 1.5 \sim 1.6$ Vであった。

【0062】このようにフッ化物強誘電体 BaMgF_2 、及びフッ化物バッファ層 $(\text{Ba}_x \text{Sr}_{1-x})\text{F}_2$ / $(\text{Sr}_y \text{Ca}_{1-y})\text{F}_2$ を用いることで、熱ひずみによるストレスを緩和し、クラックの発生を防ぎ、緻密な強誘電体膜を形成することが可能になる。また、Si (100) 上でも単結晶膜が得られる CaF_2 、あるいは、それに準ずる $(\text{Sr}_{0.1} \text{Ca}_{0.9})\text{F}_2$ を最下層とした2層フッ化物バッファ層構造により、シリコン基板間の格子定数のミスマッチの影響を緩和し得る2層目のバッファ層自体の結晶性を向上することにより、強誘電体薄膜の結晶性を向上し、分極電荷密度の増加が実現され、十分なしきい値電圧のシフトを得ることができた。

【0063】ここでは、 BaF_2 と SrF_2 、 SrF_2 と CaF_2 の組み合わせの場合を示したが、 MgF_2 、な

どとの組み合わせであっても勿論構わない。また、組成範囲は基板温度や蒸着速度などの成膜条件によって作製しやすい範囲を選択することが可能である。

【0064】実施例5

本発明であるフッ化物強誘電体BaMgF₄、及びフッ化物バッファ層LaF₃を用いたMFIS構造の製造例及びこの構造を調べた一実施例を説明する。

【0065】Si(111)基板を用い、基板の調製は実施例1と同様な手順で行った。蒸着源にLaF₃（純度4N-グラニュール）を用いて、バッファ層としてLaF₃、膜を10nmの膜厚に作製した。蒸着速度は1Å/secである。その後、同一真空中でBaF₂とMgF₂をそれぞれ蒸着速度1.8Å/sec、1.0Å/secで同時に蒸着することで膜厚140nmのBaMgF₄を作製した。その他の作製条件は実施例1で述べたものと同様である。

【0066】走査型電子顕微鏡により膜表面を観察したところ、LaF₃層を介して成膜したBaMgF₄膜は緻密な形態を示していた。これは、バッファ層により、熱膨張係数の差に起因するストレスを緩和したことによると考えられる。

【0067】また、XRDにより強誘電体膜の配向性を調べたところ、LaF₃層を介して成膜したBaMgF₄膜は、(120)エピタキシャル配向膜であった。従来、BaMgF₄膜はSi(111)基板上では、MBE等の超高真空成膜により(120)エピタキシャル成長するが、蒸着などにより自然配向させた膜では、b軸配向を示すことが知られている。従って、蒸着法によっても、本発明におけるLaF₃層によりBaMgF₄膜の配向を制御することが可能であることを示している。

【0068】このようにして作製した膜を用いて、実施例1で示したと同様のMFIS構造を作製し、同様の測定条件で、C-V特性を測定し、誘電率ε、誘電損失tanδ、しきい値電圧のシフトΔV_{th}をそれぞれ求めた。

【0069】誘電率、誘電損失を測定したところε=7.8、tanδ=0.01、という値が得られた。次に、上記の測定条件の下でC-V測定を行ったところ、測定バイアス±2.5Vのとき、このC-Vヒステリシスからしきい値電圧のシフトを求めるとΔV_{th}=1.64Vであった。

【0070】このようにフッ化物強誘電体BaMgF₄、

及びフッ化物バッファ層LaF₃を用いることで、熱ひずみによるストレスを緩和し、クラックの発生を防ぎ、緻密な強誘電体膜を形成することが可能になる。また、Si(111)上でBaMgF₄(120)配向膜を得ることが可能となり、分極電荷密度の増加が実現された。

【0071】

【発明の効果】本発明により、熱ひずみによるストレスを緩和し、クラックの発生を防ぎ、緻密な強誘電体膜を形成することが可能になる。また、バッファ層を用いることにより、強誘電体薄膜の配向をa軸配向、あるいはランダム配向に制御し、半導体表面の伝導度を変調するのに十分な分極電荷密度を得ることが可能となる。更に、バッファ層として良好な界面を形成するフッ化物絶縁体膜を用いたことで、良好なC-V特性及びトランジスタ特性が得られる。BaMF₄/バッファのバンドギャップが大きいため、電荷注入が少なく、リーク電流密度が小さく耐圧の大きい構造が得られ、優れた素子の動作速度、信頼性、消費電力が実現される。なおかつ、強誘電体層、バッファ層ともに誘電率が小さく、メモリデバイスとして要求される5V_{p-p}という電源電圧に対応する非破壊読み出しが可能な電界効果型強誘電体記憶素子を実現できる。

【0072】本発明は、デバイスの観点からは非破壊読み出しという原理的に優れており、かつ、プロセスの観点からは高集積可能という強誘電体記憶素子を実現可能とするものであり、工業上極めて大きな価値を有するものである。

【図面の簡単な説明】

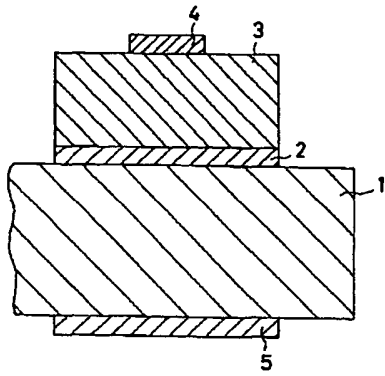
【図1】本発明によるMFIS構造の断面概略図である。

【図2】本発明によるMFIS構造で得られたC-V特性を示す図である。

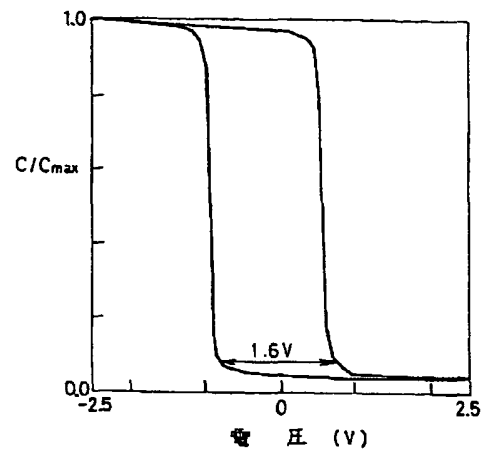
【符号の説明】

- 1 半導体基板（p型シリコン基板）
- 2 バッファ層（BaF₂膜）
- 3 強誘電体膜（BaMgF₄膜）
- 4 電極（アルミニウム）
- 5 裏面電極

【図 1】



【図 2】



フロントページの続き

(51)Int.Cl.⁶

C 3 0 B 29/12

H 0 1 L 27/10

27/108

21/8242

識別記号

4 5 1

庁内整理番号

9261-4G

F 1

技術表示箇所